

ニューロンMOSを用いたバイナリ・多値・アナログ 融合演算プロセッサの研究

著者	余 寧 梅
号	2302
発行年	1998
URL	http://hdl.handle.net/10097/7575

氏名	余 寧 梅
学位	博士 (工学)
学位授与年月日	平成11年3月25日
学位授与の根拠法規	学位規則第4条第1項
研究科、専攻名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学位論文題目	ニューロMOSを用いたバイナリ・多値・アナログ融合演算プロセッサの研究
指導教官	東北大学教授 大見 忠弘
論文審査委員	主査 東北大学教授 大見 忠弘 東北大学教授 星宮 望 東北大学教授 川又 政征

論文内容要旨

本研究は、新機能デバイス、ニューロンMOSを用いたバイナリ・多値・アナログ融合演算方式、高機能・高速情報処理プロセッサの実現を目的として行われた。

第1章は序論であり、半導体技術発展の歴史、および今後の問題点について述べている。今までのコンピュータはバイナリ・デジタル信号処理に基づく、数値データの四則演算を高速に行うことを得意としている。しかし、画像処理のような人間に近い情報処理を行うとなると、今のコンピュータでは実時間で演算結果を出すことが困難であるといわれている。この理由として、実世界に存在する情報は大量な低精度のアナログデータである。すなわち、今の情報処理システムを用いて、このような大量のデータを処理するとき、まず、この極度に冗長なアナログデータをすべてA/D変換し、一つ一つ厳格無比なデジタル演算を行わなければならない。したがって、膨大な演算が必要となり、実時間で演算結果を出すことが困難となるのである。これに対して、アナログや多値のデータをそのまま情報処理し、さらに、柔軟な判断・認識に結びつける新しい“バイナリ・多値・アナログ融合”のアーキテクチャを導入することが解決の道であると考えられる。

第2章で、画像処理中非常に重要となる演算2次元画像データの重心を検出することに注目し、2次元画像の射影データに基づく除算を用いない、アナログデータに適した重心検出のハードウェア・アルゴリズムを開発した。図1に重心検出アルゴリズムを示す。画像をX方向、Y方向にそれぞれ射影したデータに基づく擬似2次元画像処理で重心検出を行う。重心のX座標XGを求めるということは、同図に示したように、方程式 $X \cdot \sum Mi = \sum Xi \cdot Mi$ を満たすXを求めることである。これを直接実行するハードウェアをvMOS回路技術で構成したのが図2である。V1～Vnは射影データ、すなわち各列に質量の合計を表す。初段の2つソースフォロワがそれぞれ $\sum Xi \cdot Mi$ および $\sum Mi$ を計算する。ここで、位置座標Xiは入力キャパシタの大きさに表現されている。次段は、vMOSインバータ群でありそれぞれコンパレータとして働く。各vMOSインバータは不等式 $X \cdot \sum Mi > \sum Xi \cdot Mi$ が成り立つところでオンするように入力キャパシタの大きさが設計されている。したがって、その出力が0から1へ変化するところを探せば、そこが重心の位置となる。この回路を2層A1 2層ポリシリコンCMOSプロセスで試作し、試作回路で動作を確認した。画像重心をハードウェアで並列処理を行なうことにより40nsecオーダーで高速検出できることが明らかにした。また、回路の検出精度を検討し、検出精度向上のための新たな回路方式の有効性を明らかにした。

第3章で、多段構成の重心検出回路について述べた。第2章で述べた重心検出回路は、入力数が増加すると演算精度が劣化する。これは、位置座標Xが、キャパシタの大きさに表現されているからである。これを解決するために、2段構成の重心検出アーキテクチャを開発した。図3はその回路ブロック図で、図2の重心検出回路をベースに構成されている。各グループ毎に重心とグループの全質量を求める。このデータに基づいて出力段に配属した2個の重心検出回路が、どのグループに重心が存在するかというグループ番号、そしてそのグループ内のどこに全体の重心が存在するかというローカル座標を演算し、この2つのコードで答えを

出す。この回路についても試作回路で動作を確認した。また、640画素×480画素の画像の重心を実時間で求めるために、3段構成重心検出回路も検討した。コンピュータシミュレーションで3段構成重心検出回路アルゴリズムを検証し、ハードウェア上でしかも高精度で640画素×480画素の画像の重心を300nsecオーダーで検出できることを確認した。

以上から、vMOS回路で実現されたバイナリ・多値・アナログ融合ハードウェア・アルゴリズムは、純粋なバイナリ処理では膨大な時間のかかる2次元画像演算処理を、簡単なハードウェアで、しかも実時間で実行できることが分かった。

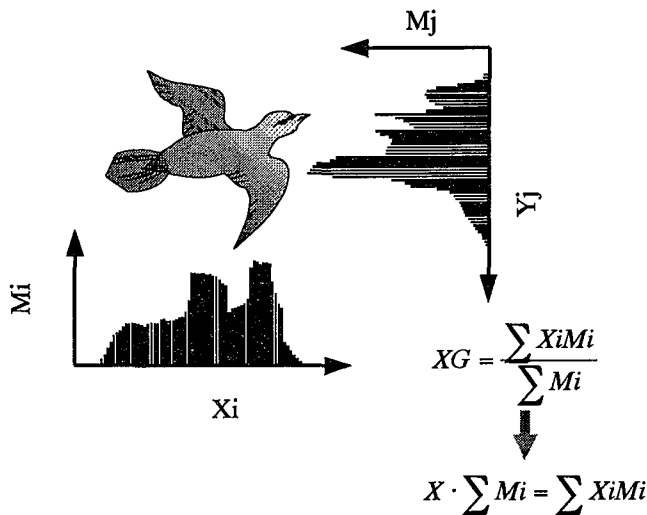


図1 画像の射影データに基づく重心検出アルゴリズム

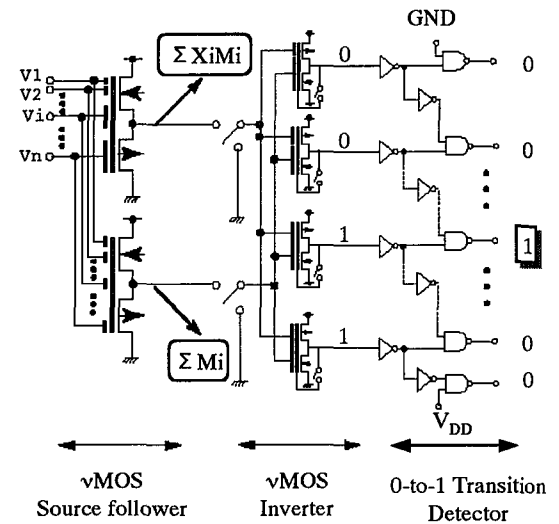


図2 vMOS重心検出回路構成図

第4章では重心検出回路の応用として、アナログ・デジタル融合演算方式ファジィプロセッサをvMOS重心検出回路技術を用いて実現した。このファジィプロセッサは外界センサーから取りこんだアナログデータをファジィ測度度部でメンバーシップ関数化、最大値、最小値回路でファジィ推論した後、非ファジィ化演算をニューロンMOS重心検出器で行って、デジタル信号で出力する。このことにより、非常に円滑なアナログ実世界とデジタルコンピュータのファジィ界面を提供できることを明らかにした。0.8μmデザインルール、2層Al、2層ポリシリコンCMOSプロセスを用いて5入力、1出力、50ファジィ推論ルールのテスト回路を試作した。測定結果により、応答時間が60nsec程度の非常に高速な低消費電力型ファジィプロセッサの動作を確認した。

第5章で、多値データに適したディプレッション駆動素子型閾値演算回路を開発した。この回路により、多値演算時非常に重要になる閾値演算が簡単にでき、閾値電圧Stepが大きくなり、回路演算精度を向上することができた。このディプレッション素子型閾値演算回路を用いて16進数加算器を提案し、HSPICEで回路の動作を確認した。この16進数の加算器は同等機能を持つ4bit バイナリ回路と比較すると、回路規模が半分以下になり、パワーと遅延時間の積がCMOS回路により12%になったことを明らかにした。

第6章では、第5章で述べた多値演算回路にベースにして、多値VQプロセッサの発展前景について検討した。4bitFeRAMから呼び出したデータをそのまま処理して、演算とA/D変換機能を一体化したvMOS多値演算回路を利用することにより、メモリと演算回路の配線が1/4に減少、第1段目の処理演算回路規模も1/4に低減できることが明らかにした。4端子デバイスを用いた多値・バイナリ融合演算方式により、従来の純粋なバイナリメモリ混載チップに比べて4倍程度の性能向上を実現できた。すなわち、図4に示したように、従来4チップで実現した8132コードブックを格納するベクトル量子化プロセッサを1チップで実現できること

を示した。

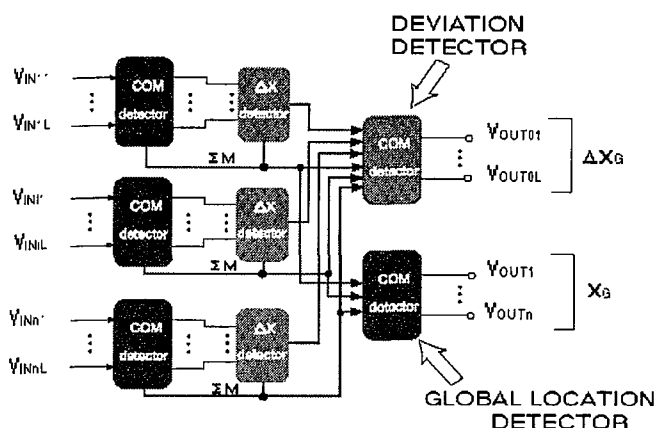


図3 2段構成ニューロンMOS 重心検出回路



図4 多値メモリ混載4ビット一括演算方式VQプロセッサ

第7章は結論であり第2章から第6章までを通して得られた成果を総括している。すなわち、バイナリ・多値・アナログ融合演算方式情報処理が大量なデータを高速処理に非常に有効であることを明かにした。本研究を通して得られた成果は将来の高速・高機能情報処理システムの実現に十分役立つものであると考える。

審査結果の要旨

高度情報化社会の到来に伴い、実世界の大量なアナログデータを高速に処理することができる情報処理プロセッサが求められている。著者は、2次元画像の重心検出という大量データの高速処理が要求される例について高速演算を実現するため、4端子デバイスであるニューロン MOS を用い、バイナリ・多値・アナログ融合演算プロセッサを開発した。同時に、今後主流となる高機能多値メモリ混載システム LSI の基本となる多値論理演算回路についても新たな提案とその高精度化、高速化を行った。本論文は、これらの研究成果をとりまとめたもので、全文 7 章よりなる

第 1 章は序論である。

第 2 章では、画像処理で重要となる 2 次元画像データの重心検出に対して、2 次元画像の射影データに基づく除算を用いない重心検出のアルゴリズムを開発した。ニューロン MOS を用いた重心検出回路を実現し、試作によってその動作を実証している。また、回路の検出精度を検討し、検出精度向上のための新たな回路方式を提案しその有効性を明らかにしている。

第 3 章では、多入力に適した多段構成の回路方式を開発し、試作回路で動作を確認した。この多段構成重心検出回路を用いてハードウェア上で高精度に 640 画素×480 画素の画像の重心を数百 nsec オーダーで検出できることを実証している。これは重要な成果である。

第 4 章では、重心検出回路の応用として、アナログ・ディジタル融合演算方式ファジィプロセッサをニューロン MOS 重心検出回路技術で実現した。試作回路により、50nsec オーダーの非常に高速なファジィプロセッサの動作を確認している。

第 5 章では、高精度の閾値演算回路を nMOS ディプレッション駆動素子を導入することにより実現している。このディプレッション駆動素子型閾値演算回路を用いて 16 進数加算器と減算器を提案し、HSPICE で回路の動作を確認した。この 16 進数の加算器、減算器はバイナリ回路と比べると、回路規模が半分以下になり、消費電力と遅延時間の積も半分以下になることも明らかにした。

第 6 章では、多値演算方式ベクトル量子化プロセッサの構造を提案している。演算と A/D 変換機能を一体化したニューロン MOS 多値演算回路を利用することにより、多値メモリと演算回路の間の配線が 1/4 に減少、第 1 段目の処理演算回路規模も 1/4 に低減できることを明らかにした。4 端子デバイスをを用いた多値・バイナリ融合演算方式により、従来の純粋なバイナリメモリ混載チップに比べて 4 倍程度の性能向上が実現できることを示している。これは極めて重要な成果である。

第 7 章は結論である。

以上要するに本論文は、ニューロン MOS を用いたバイナリ・多値・アナログ融合演算方式情報処理を大量なデータの高速処理に適用し、その有効性を実証したもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。